

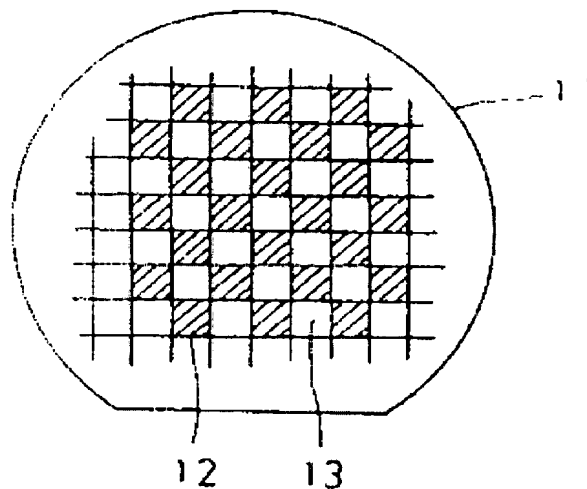
COMPARING AND INSPECTING METHOD FOR PATTERN

Publication number: JP59004019
Publication date: 1984-01-10
Inventor: NISHIKATA EIJI
Applicant: FUJITSU LTD
Classification:
- **international:** *H01L21/30; H01L21/02; (IPC1-7): H01L21/66*
- **europaean:** H01L21/30
Application number: JP19820112779 19820630
Priority number(s): JP19820112779 19820630

Report a data error here

Abstract of JP59004019

PURPOSE: To compare and inspect the patterns easily and accurately by previously forming the reference pattern to a specific wafer, forming the IC pattern at a position adjacent to the reference pattern in accordance with a predetermined IC process, and comparing and inspecting these two patterns. **CONSTITUTION:** Reference pattern sections 12 arranged checkerwise are formed onto the semiconductor wafer 11 consisting of Si, etc., and pattern sections 13 to be inspected afterward are formed adjoined to the sections 12 in accordance with the predetermined IC process. These patterns are compared through mechanical comparison and inspection or optical inspection. Accordingly, a wafer for manufacturing a normal IC is used, and the reference patterns may be formed only to the wafer, while the patterns are easily compared and inspected accurately, and a defective production rate lowers.



Data supplied from the **esp@cenet** database - Worldwide

⑪ 日本国特許庁 (JP)

⑬ 特許出願公開

⑫ 公開特許公報 (A)

昭59—4019

⑨ Int. Cl.³
H 01 L 21/30
21/66

識別記号

庁内整理番号
Z 6603—5 F
6851—5 F

⑬ 公開 昭和59年(1984)1月10日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ パターン比較検査方法

川崎市中原区上小田中1015番地
富士通株式会社内

⑯ 特 願 昭57—112779
⑰ 出 願 昭57(1982)6月30日
⑱ 発 明 者 西形英治

⑯ 出 願 人 富士通株式会社
川崎市中原区上小田中1015番地
⑲ 代 理 人 弁理士 松岡宏四郎

明 細 書

1. 発明の名称

パターン比較検査方法

2. 特許請求の範囲

半導体装置集積回路形成工程においてウエハステッパを用いて作られる集積回路パターンを検査する方法にして、正確な基準パターンが形成された基準パターン部分を選択的に配列してなる検査用基準ウエハを用意し、該基準ウエハの前記基準パターン部分に隣接する部分に集積回路パターンを形成し、これら2つのパターンを比較検査することを特徴とするパターン比較検査方法。

3. 発明の詳細な説明

(1) 発明の技術分野

本発明は半導体集積回路 (IC) の製造に用いるマスクのICパターン比較検査方法に関する。

(2) 技術的背景

ICの製造工程においては、マスクを用いウエハ上に同一のパターンを作成するが、最近の高集積度ICの製造には高解像性、高精度位置合せ等の

特徴をもつウエハステッパが使われてきている。第1図にはウエハ1が模式的平面図で示され、格子状に配列された部分2のそれぞれに同一パターンが形成されており、すべてのウエハプロセスが終るとウエハは部分2ごとに切断分離され、その1つ1つが半導体チップまたはダイと呼ばれる。

かかる工程の典型的な例においては、ウエハ全面にホトレジスト膜を塗布形成し、レチクルマスク上のパターンを縮小投影露光し、1ないし数チップ分のICパターンの焼付を繰り返して全面を露光し、現像処理の後にエッチングをなしてレチクルマスクのパターン通りのICパターンを多数個ウエハに形成する。通常のIC製造においては少なくとも10種程度のマスクが用意され、それぞれのマスクに対応してウエハプロセスがなされる。

(3) 従来技術と問題点

マスクのICパターンは、何百枚ものウエハ上に繰り返し焼き付けられる。このマスクにゴミが付着しもしくは傷がつけられ、またはマスクの水洗の際にマスク上に残った水滴が乾いてできたし

みがあれば、それはウエハの数多くのICパターンに繰り返し現れる。かかるICパターンの欠陥はウエハのICパターンを検査することによって回避しなければならない。

一般に、ウエハ上のICパターンの有無、すなわちパターンに余分のものが付いているかまたはパターンの一部が不足しているかは、従来ウエハ上に上記の加えレジスト膜形成、焼付、現像、或いは更にエッチング等の処理を施して形成されたパターンを、顕微鏡で目視して検査する。

かかる検査は、パターンが複雑になるに従って多くの時間を必要とし、また検査するとしても比較対照する基準パターン(正しいパターン)が存在しないから、ウエハ上のICパターンが正しいものか否かを判断することが困難である。

(4) 発明の目的

本発明は上記従来の問題点に鑑み、ウエハ上のICパターンの比較検査を正確にかつ容易になしうる方法を提供することを目的とする。

(4) 発明の構成

(3)

この基準パターンは、ウエハ上に露光、現像、エッチング等の処理を現実に施して作成されたものである。なお同図において、13は基準パターンは形成されず、後に検査されるパターンが形成される部分(被検査パターン部分)を示す。第2図に示す如きウエハを、それぞれのマスクに対応して用意しておく。

ICの製造において、例えばA工程においてレジストマスクを用いるとすると、生産においては数多くのウエハに対してマスクを用いていわゆるウエハステッパーにより、縮小投影露光を繰り返すことにより、焼付がなされる。ここで、マスクによって正しいパターンが形成されるか否かを検査したい。そのときには、第2図に示される基準パターンが形成されたウエハ11を、マスクを用いて露光されるウエハのロット(例えば50枚のウエハが1ロットを構成する)に入れる。ウエハ11上には他のウエハと同様にホトレジスト膜が塗布形成されている。

通常のウエハに対しては、第1図に示した如

(5)

そしてこの目的は本発明によれば、前以って特定のウエハに基準パターンを形成しておき、この基準パターンに隣接する位置に所定のIC製造工程によってICパターンを形成し、これら2つのパターンを比較検査する方法を提供することによって達成される。

(4) 発明の実施例

以下本発明の実施例を図面によって詳述する。

前記した如くICの製造工程においては何枚ものマスクが用意され、その各々は特定のICパターンを持っている。そこで、特定のマスクについて基準パターン(正しいパターン)を作成する。ここで正しいパターンをいかにして決定するかは、あるパターンをもった製品が設計された通りの結果を発生するか否かを製品について検査をなすことによって決定し得るもので、それはICの通常の製造工程によって実施可能である。

第2図に模式的に示される上記した基準パターンは、例えばウエハ11上に市松模様配列された部分(基準パターン部分)12に形成する。なお

(4)

く全面にパターンが投影され作成されるが、ウエハ11に対しては、基準パターン12が作成されていない被検査パターン部分13にのみ選択的に露光される。次いで所定の現像がなされて被検査パターン部分13にICパターンが形成される。

次に、基準パターンと検査パターンとを比較検査する。この検査は機械的な比較検査機または光学的に双方のパターンを重ね合せて検査する光学的検査機を用いてなす。機械的検査または光学的検査のいずれによるにしても、そのための検査機は市販されているので、検査機についての詳細な説明は省略する。

上記の比較検査において、基準パターンと被検査パターンは隣合っているものであるから、いずれの装置を用いても、比較検査は正確にかつ容易になしうる利点がある。なお、基準パターンの配列は第2図に示す市松模様配列に限定されるものでなく、第1図のパターン配列において、最も上の行から1行おきに、または最も左の列から1列おきに、並べて配列してもよい。要は、被検査パ

(6)

ターンが基準パターンのすぐ隣に形成される如くに配列することである。

(7) 発明の効果

以上、詳細に説明したように、本発明の方法によるときは、IC製造用のウエハを用い、それに基準パターンを形成するだけの準備をなすことにより、製造工程で形成されるICパターンの比較検査が正確かつ容易になされうるので、IC製造における不良品率の低減に効果大である。

4. 図面の簡単な説明

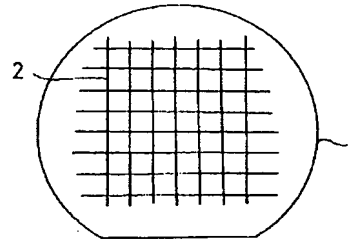
第1図はウエハ上に形成されるICパターンを示すための模式的平面図、第2図は本発明の方法の実施に用いる基準パターンが形成されたウエハの模式的平面図である。

- 11…ウエハ、12…基準パターン部分、
13…被検査パターン部分

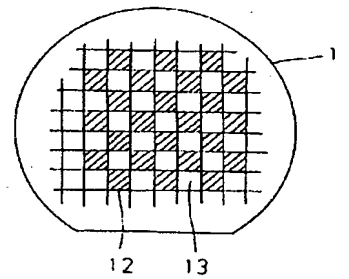
特 許 出 願 人 富士通株式会社
代 理 人 弁 理 士 松 岡 宏 四 郎



第 1 図



第 2 図



(7)